

9. Japan Patent Office (JP)

12. Japan Laid-open Patent Gazette (A)

11. Patent Application Laid-open No.

1993-127608'

43. Patent Laid-open Date: May 25, 1993 (Heisei 5)

| 51. Int. Cl. ⁵ | ID Code | Internal reference number | | |
|---------------------------|---------|---------------------------|---|--|
| G 09 G 3/18 | | 7926-5G | F1 | Technology display section |
| G 02 F 1/133 | 575 | 7820-2K | | |
| 1/1335 | 530 | 7724-2K | | |
| | | | Request for Examination: Not Requested | Number of claims: 3 (Total 8 pages) |

| | |
|------------------------|---|
| 54. Title of Invention | Liquid crystal display device |
| 21. Application No. | 1993-287749 |
| 22. Date of Filing | November 1, 1991 (Heisei 3) |
| 71. Applicant | 000001007 Canon Inc. 3-30 Shimomaruko, Ota-ku, Tokyo |
| 72. Inventor | Katsuhiko Nagasaki 3-30 Shimomaruko, Ota-ku, Tokyo (Canon Inc., on premises) |
| 72. Inventor | Kazutoshi Shimada 3-30 Shimomaruko, Ota-ku, Tokyo (Canon Inc., on premises) |
| 72. Inventor | Noriyuki Suzuki 3-30 Shimomaruko, Ota-ku, Tokyo (Canon Inc., on premises) |
| 74. Agent | Giichi Marushima, Patent Attorney |

(54) [Title of the Invention] Liquid crystal display device

(57) [Abstract] (Corrected)

[Object] To automatically adjust the contrast and backlight luminosity to suit the display content

[Constitution] This liquid crystal display device is provided with a means that reads data from video memory and determines its data structure, and by then controlling the contrast and backlight luminosity of the LCD based on the determination result and the non-input time following a change in the data in the video memory, can control the contrast and backlight luminosity values according to the display content, thereby producing a display screen on which shades of gray as well as characters and images are always easily recognizable.

[Claims]

[Claim 1] In a liquid crystal display device having video memory that stores display data, a liquid crystal display device controller that accesses said video memory and sends display data and timing signals to a liquid crystal display area, a contrast adjustment means that adjusts the contrast of the liquid crystal display area, and a backlight adjustment means that adjusts the luminosity of the backlight; the liquid crystal display device characterized by comprising a data determination means that reads display data out of the video memory and determines the data content, and a contrast control means that controls the contrast adjustment means and a backlight control means that controls the backlight adjustment means that are both based on the result of said determination result.

[Claim 2] The liquid crystal display device according to Claim 1, further comprising a timer means which specifies the wait time between the writing of data into said video memory and the reading of data from video memory by said data determination means, and wherein said wait time can be varied.

[Claim 3] In a liquid crystal display device having video memory that stores display data, a controller that accesses said video memory and sends display data and timing signals to a liquid crystal display area, a contrast adjustment means that adjusts the contrast of the liquid crystal display area, and a backlight adjustment means that adjusts the luminosity of the backlight; the liquid crystal display device characterized by comprising a data determination means that reads display data out of said video memory and determines the data content, a timer means having two output systems, and a contrast control means that controls said contrast adjustment means and a backlight control means that controls said backlight adjustment means that are both based on the output from one of the systems of said timer means and the determination result from the data determination means; and wherein the output from the other system of said timer means is used as the wait time between the writing of data into said video memory and the reading of data from said video memory by said data determination means.

[Detailed Explanation of the Invention]

[0001]

[Field of Industrial Use] The present invention relates to a liquid crystal display device, and more particularly to a liquid crystal display device that has a contrast-controlling function and a backlight-controlling function.

[0002]

[Prior Art] The operation of a conventional liquid crystal display device (hereafter referred to as an "LCD") will be explained using the hardware configuration block diagram shown in Figure 8. When the image data to be displayed is sent from a CPU 101, the timing or address of said data is adjusted by an LCD controller, and the resulting data is written into a VRAM 103. The LCD controller 102 sequentially reads out the gradation data inside the VRAM 103, converts it into frame interpolation data, and sends it to an LCD module 104 to be displayed.

[0003] The contrast and backlight luminosity of an LCD screen can be adjusted according to the display content. For example, if the image on the screen is mostly dark with few differences in density, both the contrast and backlight luminosity can be increased. This will result in a display screen on which gradations as well as characters and images become more easily recognizable. The LCD module 104 is provided with a contrast-adjustment means and a backlight-adjustment means 106. Both these control means are manually adjusted by the user of the LCD device using control buttons or dials. Some backlight adjustment means are also provided with an auto power-off function, which shuts off the backlight when no input is received for a specified amount of time.

[0004]

[Problems To Be Solved By The Invention] As explained above, to control the contrast or backlight luminosity of an LCD, the user normally operates control buttons or dials. However, the contrast and backlight luminosity values that optimally facilitate the recognition of gradations vary depending on the display content. Consequently, to obtain the optimal contrast and backlight luminosity values for display content, the user must adjust the control buttons or dials every time the display content changes.

[0005] As a result, the user tends to adjust the contrast and backlight luminosity values to levels that are excessively high and leave them there. However, continuously straining to view images that are difficult to recognize poses the risk of rapid eye fatigue for the user. Furthermore, since the auto power-off function completely shuts off the backlight, the display content problematically becomes invisible.

[0006]

[Means for Solving the Problems and Operation of the Invention] In order to solve the aforementioned problems, an LCD according to the present invention is provided with a means that reads data out of VRAM and determines its data structure, and then controls the contrast or backlight luminosity of the LCD based on the determination result and non-input time following a change in the VRAM data.

[0007]

[Embodiments] Embodiments of the present invention are explained in detail below, referencing the drawings.

[0008] Figure 1 is a hardware configuration block diagram of an embodiment of the present invention. Here, the number 101 indicates a CPU, 102 is an LCD controller, 103 is VRAM, 104 is an LCD, 105 is a data determination means, 106 is a contrast/backlight luminosity adjustment means. The data determination means 105 reads data out of the VRAM 103, makes a determination according to predetermined conditions, and then controls the contrast/backlight luminosity adjustment means 106 based on the determination result.

[0009] Next, the operation of the data determination means 105 will be explained using the more detailed block diagram of the data determination means 105 shown in Figure 2.

[0010] When a VRAM write detection circuit 201 detects that data has been written by the controller into the VRAM (Step 301), it is determined whether or not a timer in a timer circuit 202 is active (Step 302). If the timer is not active, its counter is activated (Step 304). If the timer is active, its counter is reset (Step 303) and activated in Step 304. When the timer circuit 202 reaches a preset count, a read control circuit 203 outputs the control signal and address signal for reading the display data inside the VRAM 103, and, in the case of an LCD display device that can display 16 shades of gray, 4 bits of grayscale data are read for each pixel.

[0011] Here, VRAM data is read after it has been confirmed that there has been no VRAM write for a specified duration following VRAM write detection. This is because changing the contrast and backlight luminosity values every time the display content changes would cause the screen to visibly flicker if the display content changes frequently. Additionally, by making the timer count time variable, it becomes possible to set the timer count time as desired to follow the changes in the display content. In this case, the VRAM data is read during periods in which no data for refreshing the display screen is being read by the LCD controller 102.

[0012] The VRAM data that is read is sent to a data determination circuit 204.

[0013] The data determination circuit 204 has 16 flags that correspond to the 16 possible values that can be assumed by the 4 bits of data for a single pixel, and a flag is set when the corresponding 4 bits of data is read. This operation is performed for all the pixels.

[0014] Next, the difference between the highest- and lowest-order flags that have been set is calculated, and this value R_1 is used for controlling the contrast value. Likewise, the average of the highest- and lowest-order flags that have been set is calculated, and this value R_2 is used for controlling the backlight luminosity value.

[0015] Next, the operation of the contrast control operation will be explained using the circuit configuration example of the contrast control circuit 205 shown in Figure 4 and the operational flowchart of said circuit shown in Figure 5. A comparator 401 compares R_1 , which was input in Step 501, with the value R obtained by converting the current contrast value from analog to digital by an A/D converter circuit 405 (Step 502). The comparison result is sent to an up/down counter 402. That is, if $R_1 > R$, the counter is incremented (Step 504), and if $R_1 < R$, the counter is decremented (Step 507). The output of the counter 402 is sent to a selector 403, which uses it as a selection input for selecting one of Q_0 through Q_4 to be connected to A. As a result of selecting one of Q_0 through Q_4 based on said selection input and connecting it to A, the contrast value V_{out} is controlled (V_{out} is increased in Step 505 or decreased in Step 508). Here, if the selector outputs are assumed to be Q_0 through Q_n , the default value of the up/down counter is set to $Q_{n/2}$ if n is an even number (n kilo), and to the following if n is an odd number:

[0016]

[External formula 1]

$$Q_{(n-1)/2}$$

When the user operates the control button or dial or when the switch is turned on, the up/down counter 402 is set to this default value. Furthermore, if a selection input for selecting Q_0 or Q_n as the selector output in Step 503 or 506 is input into the selector 403, a comparator output-stopping circuit 404 is activated to prevent further incrementing (in the case of Step 503) or decrementing of the timer (in the case of Step 506).

[0017] Based on the aforementioned series of operations, if R_1 is large, that is if the difference between the darkest and brightest dots on the screen is large, the contrast value V_{out} can be decreased, while if the difference is small, the contrast value V_{out} can be increased.

[0018] Likewise, by using the average value R_2 between the highest- and lowest-order flags to operate a backlight control circuit having a similar configuration to that of the contrast control circuit 205, the backlight luminosity value can be decreased if R_2 is large and increased if R_2 is small.

[0019] (Second Embodiment) In the aforementioned embodiment, the difference between and average of the largest and smallest data values are used for determining the structure of the data inside the VRAM 103. However, other methods can of course be used as well.

[0020] An embodiment is described below in which the average of the MSBs of the VRAM data is used for determining the data structure.

[0021] In this embodiment, the data determination circuit 204 in the detailed block diagram of the data determination means 105 shown in Figure 2 is configured as shown in Figure 6.

[0022] The operation for controlling the contrast value or backlight luminosity value is explained below, referencing Figure 2.

[0023] When the VRAM write detection circuit 201 detects a VRAM write operation, the timer circuit 202 first confirms that no new VRAM write operation has occurred for a specified duration, and then the read control circuit 203 outputs the address signal and control signal for reading VRAM data. In the previous embodiment, the address signal and control signal were configured so as to sequentially read 4 bits of data for each pixel. In contrast, in the present embodiment, the address signal and control signal are configured such that only the MSBs of the 4 bits of data for each pixel are read in 4-pixel increments to be used as the 4 bits of data.

[0024] Figure 7 shows the difference between the 4 bits of data that are read into the data determination circuit in the previous and present embodiments.

[0025] Figure 7-A shows the 4 bits of data used in the previous embodiment and Figure 7-B shows the 4 bits used in the present embodiment. In the present embodiment, since only the MSBs of the data are read, the amount of data that needs to be read is only 1/4 that required in the previous embodiment, which is advantageous. The 4 bits of data that are read are sent to the data determination circuit shown in Figure 6, and are then converted into serial data by a parallel/serial conversion circuit 601 and input into a counter 602 where they are counted. This operation is performed for all pixels. Here, if the display screen has 640×480 dots, the counter 602 requires 19 bits. After the data for all pixels has been counted, the output of the highest 4 bits from the counter 602 is treated as the average MSB value R_3 . Using this value R_3 , as shown in Figures 4 and 5, the contrast or backlight luminosity value is controlled, as in the previous embodiment.

[0026] (Third Embodiment) In the first and second embodiments, the contrast or backlight luminosity value is controlled by reading the data out of the VRAM 103 and determining its data structure. However, it is also possible to add a determination means that is based on the timer circuit 202. A third embodiment is explained in detail below, referencing the drawings.

[0027] Figure 9 shows a detailed block diagram of the data determination means 105 used in the present embodiment.

[0028] When the VRAM write detection circuit 201 detects that data has been written by the controller into the VRAM 103, a timer circuit 902 runs as a timer according to the flowchart shown in Figure 3. Here, two sets of timer times T_1 and T_2 (where $T_1 \ll T_2$) can be set in the timer circuit 902. When the timer circuit 902 has counted timer time T_1 , the display data inside the VRAM 103 is read into the data determination circuit 204 based on the control signal and address signal that are output by the read control circuit 203, in the same manner as in the first and second embodiments. The data determination circuit 204 then determines the data structure based on said display data and outputs 4 bits of determination data. Said determination data is sent to the contrast control circuit 205 or a backlight control circuit 901. Additionally, in the present embodiment, both a timeout signal T_{out} , which indicates whether or not the timer circuit 902 has counted timer time T_2 , and a timeout reset signal T_{res} , which indicates that the CPU 101 has detected that the user has operated the device for the first time since the timeout signal T_{out} became active, are also input into the backlight control circuit 901.

[0029] Next, the backlight control operation will be explained, using the backlight control circuit configuration example of the present embodiment shown in Figure 10.

[0030] Here, numeral 1001 indicates a timeout-setting circuit, which is configured to connect terminal C with terminal A when the timeout signal T_{out} is active, and to connect terminal C with terminal B when the timeout signal T_{out} is inactive. Additionally, 1002 indicates a timeout-resetting circuit, which resets the timeout signal T_{out} based on the timeout reset signal T_{res} .

[0031] When the timeout signal T_{out} is inactive, the timeout-setting circuit 1001 connects terminal C with terminal B, and the backlight control circuit 901 acts in the same way as the backlight control circuit 206 in the first and second embodiments.

[0032] When the timeout signal T_{out} becomes active, the timeout-setting circuit 1001 only reduces the backlight luminosity value V_{out} by about half by connecting terminal C with terminal A.

[0033] Furthermore, in this state, if the timeout reset signal T_{res} is input, the timeout-resetting circuit 1002 resets the timeout signal T_{out} , the timeout-setting circuit 1001 connects terminal C with terminal B, and the up/down counter 402 is set to its default value.

[0034]

[Effects of the Invention] As explained above, by reading data out of the VRAM and using the data determination circuit, the present invention makes it possible to automatically control the contrast and backlight luminosity values, which previously required manual control by the user. As a result, the contrast and backlight luminosity values can be controlled according to the display content, producing a display screen on which the shades of gray as well as characters and images are always easily recognizable.

[0035] Furthermore, considering the fact that users tend to set the contrast and backlight luminosity values unnecessarily high, use of the present invention has the effect of reducing the power consumption of the LCD device.

[0036] Additionally, the ability to set any desired value for the timer time, which specifies how long to wait before changing the contrast value or backlight luminosity value after the display content changes, prevents the screen flickering that would occur if the display content changed too frequently.

[0037] In addition to the aforementioned effects, the invention according to the second [sic] embodiment provides another effect. That is, if there is no input during a preset duration, the backlight luminosity value is only reduced by about half, allowing display content that used to become completely invisible to be maintained at a recognizable level.

[Brief Explanation of Drawings]

[Figure 1] A hardware configuration block diagram of an embodiment according to the present invention.

[Figure 2] A more detailed block diagram of the data determination means 105 shown in Figure 1.

[Figure 3] A flowchart showing the steps from VRAM write detection to read control.

[Figure 4] A drawing illustrating a contrast control circuit configuration example.

[Figure 5] A flowchart showing the operations shown in Figure 4.

[Figure 6] A block diagram illustrating the data determination circuit of the second embodiment of the present invention.

[Figure 7] A diagram illustrating the difference between the data read in two embodiments of the present invention.

[Figure 8] A hardware configuration block diagram of a conventional LCD.

[Figure 9] A more detailed block diagram of the data determination means 105 in the third embodiment of the present invention.

[Figure 10] A drawing illustrating the backlight control circuit configuration example in the third embodiment of the present invention.

[Explanation of Symbols]

101: CPU

102: LCD controller

103: VRAM

104: LCD module

105: Data determination means

106: Contrast/backlight adjustment means

Figure 1

102: LCD controller

104: LCD module

105: Data determination means

106: Contrast/backlight adjustment means

Figure 2

201: VRAM write detection circuit

202: Timer circuit

203: Read control circuit

204: Data determination circuit

JOB20734RENN-Japanese(C)

205: Contrast adjustment circuit
206: Backlight adjustment circuit

Figure 3

301: VRAM write is detected.
302: Is the timer active?
303: Counter is reset.
304: Timer is incremented.

Figure 8

Figure 4

Set input
404: Comparator output-stopping circuit
404: Comparator
402: Up/down counter
403: Selector Selection input
405: A/D conversion circuit

Figure 5

504: Is the selector output Q_0 or Q_4 ?
504: Counter is incremented.
505: V_{out} is increased.
506: Is the selector output Q_0 or Q_4 ?
507: Counter is decremented.
508: V_{out} is decreased.

Figure 6

601: Parallel/serial conversion circuit
602: Counter Upper 4 bits

Figure 7

Figure 9

902: Timer circuit
901: Backlight control circuit

Figure 10

Set input
1001: Timeout-setting circuit
1002: Timeout-resetting circuit

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-127608

(43)公開日 平成5年(1993)5月25日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|---------|-----|--------|
| G 0 9 G 3/18 | | 7926-5G | | |
| G 0 2 F 1/133 | 5 7 5 | 7820-2K | | |
| 1/1335 | 5 3 0 | 7724-2K | | |

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平3-287749

(22)出願日 平成3年(1991)11月1日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 長崎 克彦

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 島田 和俊

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 鈴木 範之

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

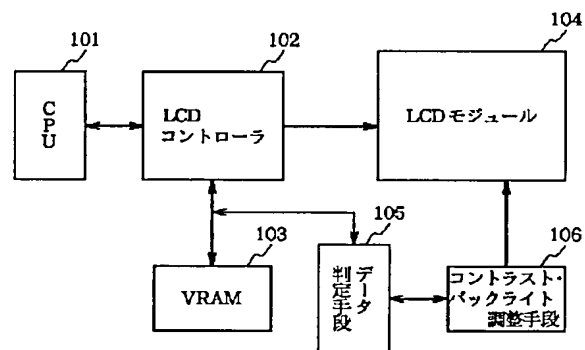
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【目的】表示内容に適するようにコントラストとバックライト輝度を自動的に制御する。

【構成】ビデオメモリ内のデータを読み取り、そのデータ構造を判定する手段を設けるとともに、判定結果及びビデオメモリのデータ変更後の無入力時間の判定結果に基づき、LCDのコントラスト或はバックライト輝度を制御することで、表示内容に応じたコントラスト値及びバックライト輝度値の制御を行なうことができ、階調の認識或は文字や画像の認識が容易な表示画面を常時得ることができる。



P109W0USE

【特許請求の範囲】

【請求項1】 表示データを蓄えておくビデオメモリと、該ビデオメモリへのアクセス及び液晶表示部への表示データとタイミング信号の送出を行なう液晶表示装置コントローラと、液晶表示部のコントラストを調整するコントラスト調整手段と、バックライトの輝度を調整するバックライト調整手段とを有する液晶表示装置において、ビデオメモリ内の表示データを読みこみ、データ内容を判定するデータ判定手段と、該判定結果に基づき、コントラスト調整手段を制御するコントラスト制御手段と、バックライト調整手段を制御するバックライト制御手段とを備えたことを特徴とする液晶表示装置。

【請求項2】 前記ビデオメモリのデータ書きこみから、前記データ判定手段が前記ビデオメモリ内のデータを読みこむまでの待ち時間を設定し得るタイマー手段を備え、該待ち時間の長さを可変とすることができることを特徴とする特許請求の範囲第1項記載の液晶表示装置。

【請求項3】 表示データを蓄えておくビデオメモリと、該ビデオメモリへのアクセス及び液晶表示部への表示データとタイミング信号の送出を行なうコントローラと液晶表示部のコントラストを調整するコントラスト調整手段と、バックライトの輝度を調整するバックライト調整手段とを有する液晶表示装置において、前記ビデオメモリ内の表示データを読みこみ、データ内容を判定するデータ判定手段と、二系統の出力を持つタイマー手段と、該タイマー手段の一系統の出力及びデータ判定手段による判定結果に基づき、前記コントラスト調整手段を制御するコントラスト制御手段とバックライト調整手段を制御するバックライト制御手段とを備え、前記タイマー手段の他系統の出力を前記ビデオメモリのデータ書きこみから、データ判定手段が前記ビデオメモリ内のデータを読みこむまでの待ち時間に用いることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置に関するもので、特にコントラスト制御機能とバックライト制御機能を有する液晶表示装置に関する。

【0002】

【従来の技術】従来の液晶表示装置（以下、LCDと言う）の動作について図8に示したハード構成ブロック図を用いて説明する。CPU101から表示すべき画像データが送られると、該データはLCDコントローラにおいてタイミング或はアドレスを調整され、VRAM103に書きこまれる。LCDコントローラ102は、VRAM103内の階調データを順次読みこみ、フレーム間引きデータに変換し、LCDモジュール104に送り、表示させる。

【0003】LCDの画面調整には、コントラスト調整

とバックライト輝度調整があり、表示内容により、調整を行なう。例えば、全体の濃度差があまりなく、暗い濃度が多い画面の場合には、コントラストを上げるとともに、バックライト輝度を上げる。これにより、階調の認識或は、文字や画像の認識が容易な表示画面を得ることができる。LCDモジュール104にはコントラスト調整手段及びバックライト調整手段106が備えてある。両調整手段の制御は、ボリュームにより、機器の使用者が手動で行なっていた。又、バックライト調整手段については、一定時間、入力がない場合に、バックライトを消灯するもの（オート・パワー・オフ）があった。

【0004】

【発明が解決しようとしている課題】前述のようにLCDにおいては、コントラスト或は、バックライトの輝度を制御するには、使用者が手動でボリュームを操作するのが一般的であった。ところが、表示内容により、階調認識などを容易にする最適なコントラスト値及びバックライト輝度値が異なるため、使用者が常に表示内容に最適なコントラスト値及びバックライト輝度値を得るには、表示内容の変化の都度、ボリューム調整を行なわなければならなかった。

【0005】このため、使用者は、コントラスト値及びバックライト輝度値を十分以上に高く設定し、そのまま放置しがちであった。従って、使用者にとっては、認識の困難な画面を見続けることにより、眼の速い疲労を招く恐れもあった。又、オート・パワー・オフでは、バックライトを消灯するために表示内容が全く見えなくなってしまう欠点があった。

【0006】

【課題を解決するための手段及び作用】前述の課題を解決するために、本発明に係るLCDでは、VRAM内のデータを読み取り、そのデータ構造を判定する手段を設けるとともに、該判定結果及び、VRAMのデータ変更後の無入力時間の判定結果に基づき、LCDのコントラスト或はバックライト輝度を制御することとした。

【0007】

【実施例】以下、図面に従い、本発明の一実施例を詳細に説明する。

【0008】図1は本発明の一実施例によるハード構成ブロック図である。ここで、101はCPU、102はLCDコントローラ、103はVRAM、104はLCD、105はデータ判定手段、106はコントラスト・バックライト輝度調整手段である。データ判定手段105はVRAM103のデータを読みこみ、所定の条件による判定を行ない、その判定結果により、コントラスト・バックライト輝度調整手段106の制御を行なう。

【0009】次に、図2に示したデータ判定手段105のより詳細なブロック図を用いてデータ判定手段105の動作を説明する。

【0010】VRAMライト検出回路201において、

コントローラからVRAMにデータが書かれたことが検出されると(ステップ301)、タイマー回路202において、タイマー動作中か否かを判定し(ステップ302)、タイマー動作中でなければタイマーをカウントし(ステップ304)、タイマー動作中であればカウンタをリセットし(ステップ303)、ステップ304にてタイマーをカウントする。タイマー回路202が、予め決められた所定時間カウントすると、リード制御回路203においてVRAM103内の表示データを読みこむための制御信号及びアドレス信号が出され、16階調表示が可能なLCD表示装置の場合一画素当たり4bitの階調データを全画素について読みこむ。

【0011】ここで、VRAMライト検出から一定時間新たなVRAMライトがないことを確かめてから、VRAMデータを読みこむのは、表示内容の変化の都度、コントラスト値及びバックライト輝度値を変化させると、表示内容の変化が頻繁に起こった場合に画面のちらつきが目立つためである。又、このタイマー時間を可変とすることにより、表示内容の変化に対する追従性を任意に設定することが可能となる。この時のVRAMデータ読みこみは、表示画面リフレッシュのためのLCDコントローラ102によるデータリードがなされていない期間に行なわれる。

【0012】読みこまれたVRAMデータはデータ判定回路204に送られる。

【0013】データ判定回路204では一画素の4bitデータがとりうる16通りの値に応じて16本のフラグを設け、各フラグに該当する4bitデータが読みこまれるとそのフラグを立てる。これを全画素について行なう。

【0014】次に、立てられたフラグの最上位フラグと最下位フラグの差をとり、その値 R_1 をコントラスト値の制御に用いる。同様に立てられたフラグの最上位フラグと最下位フラグの平均をとり、その値 R_2 をバックライト輝度値の制御に用いる。

【0015】以下に図4に示したコントラスト制御回路205の回路構成例と図5に示した該回路の動作フローチャートを用いて、コントラスト制御動作について説明する。ステップ501にて入力された R_1 と、現在のコントラスト値をA/D変換回路405においてA/D変換した値Rをコンパレータ401で比較する(ステップ502)。比較結果は、アップ・ダウンカウンタ402に送られる。即ち、 $R_1 > R$ ならば、カウンタをアップし(ステップ504)、 $R_1 < R$ ならば、カウンタをダウンする(ステップ507)。カウンタ402の出力は、セレクタ403に送られ、セレクタ403において、Aと、 $Q_0 \sim Q_n$ の一つの選択して接続するための選択入力となる。該選択入力により、 $Q_0 \sim Q_n$ の一つが選択されAと接続されることで、コントラスト値Voutの制御(ステップ505にてVoutのアップ制御の処

理、ステップ508にてダウン制御の処理)が行なわれる。ここで、アップ・ダウンカウンタは、デフォルト値としては、セレクタ出力を $Q_0 \sim Q_n$ とすると、nが偶数(nキロ)のときは $Q_{n/2}$ 、nが奇数のときは、

【0016】

【外1】

$$Q_{\frac{n-1}{2}}$$

に設定されるようになっており、使用者がボリュームを操作したとき、或はスイッチ・オン時には、このデフォルト値にアップ・ダウンカウンタ402は設定される。又、ステップ503或はステップ506にてセレクタ出力が Q_0 或は Q_n を選択するような選択入力をセレクタ403に入力されると、コンパレータ出力停止回路404が作動し、それ以上ステップ503の場合はアップ・クロック、ステップ506の場合はダウン・クロックが出力されないようにする。

【0017】以上、述べてきた一連の動作により、 R_1 は値が大きい場合、即ち画面の最も暗いドットと最も明るいドットの差が大きい場合には、コントラスト値Voutを小さくし、差が小さい場合にはコントラスト値Voutを大きくする制御を行なうことが可能となる。

【0018】同様に、最上位フラグと最下位フラグの平均値 R_2 を用いて、コントラスト制御回路205と同様な構成のバックライト制御回路を動作させることにより、 R_2 の値が大きい場合は、バックライト輝度値を小さくし、 R_2 の値が小さい場合には、バックライト輝度値を大きくするといった制御を行なうことが可能である。

【0019】(第2の実施例) 前述の実施例では、VRAM103内のデータ構造の判定方法として、データの最大値と最小値の差及び平均を用いたが、もちろんこれを他の方法としてもよい。

【0020】以下に判定方法としてVRAMデータのMSBの平均を用いた実施例について述べる。

【0021】本実施例では、図2に示したデータ判定手段105の詳細なブロック図の中のデータ判定回路204を図6のように構成する。

【0022】以下、図2に従い、コントラスト値或はバックライト輝度値の制御動作を説明する。

【0023】VRAMライト検出回路201において、VRAMライトが検出されると、タイマー回路202において、一定時間新たなVRAMライトがないことを確認してから、リード制御回路203において、VRAMデータリードのためのアドレス信号及び制御信号を出す。このとき、前述実施例では、一画素4bitデータを順次読みこむ如くアドレス信号及び制御信号が構成されていたが、本実施例では、各画素4bitデータのMSBのみを4画素単位で読みこみ、4bitデータとするようにアドレス信号及び制御信号を構成する。

【0024】前述実施例と本実施例において、データ判定回路に読みこまれる4bitデータの違いを図7に示す。

【0025】7-Aが前述実施例における4bitデータ、7-Bが本実施例における4bitデータである。本実施例では、データのMSBのみを読みこむため、前述実施例に比して、読みこむデータ量は4分の1でよいという利点がある。読みこまれた4bitデータは、図6に示すデータ判定回路に送られる。パラレル・シリアル変換回路601により4bitデータはシリアル変換され、カウンタ602に入力し、カウントする。これを全画素について行なう。このとき、表示画面を640x480ドットとすると、カウンタ602には、19bit必要となる。全画素のカウント終了後、カウンタ602の上位4bitの出力をMSBの平均値 R_1 とする。この R_1 を用いて、図4及び図5に従い、前述実施例と同様にコントラスト値制御或はバックライト輝度値制御を行なう。

【0026】(第3の実施例) 前述の第1、第2の実施例では、コントラスト値或はバックライト輝度値の制御をVRAM103内のデータを読み取り、そのデータ構造を判定することにより行なったが、もちろんこれにタイマー回路202に基づく判定手段を加えてもよい。以下、図面に従い第3の実施例を詳細に説明する。

【0027】図9に本実施例によるデータ判定手段105のより詳細なブロック図を示す。

【0028】VRAMライト検出回路201において、コントローラからVRAM103にデータが書かれたことが検出されると、タイマー回路902は図3に示したフローチャートに従い、タイマー動作を行なう。ここで、タイマー回路902には、2通りのタイマー時間 T_1 、 T_2 (ただし、 $T_1 < T_2$ とする) を設定することができる。タイマー回路902がタイマー時間 T_1 だけカウントすると、前述の第1、第2の実施例と同様にリード制御回路203から出される制御信号及びアドレス信号によりVRAM103内の表示データが、データ判定回路204に読みこまれ、該表示データに基づきデータ構造が判定され4bitの判定データがデータ判定回路204から出力される。該判定データはコントラスト制御回路205或はバックライト制御回路901へ送られる。さらに、本実施例では、タイマー回路902において、タイマー時間 T_2 をカウント終了したか否かを出力するタイムアウト信号 T_{out} がバックライト制御回路901に入力されるとともに、タイムアウト信号 T_{out} がアクティブになってから初めて使用者が機器を操作したことをCPU101が検知して、これを報知するタイムアウトリセット信号 T_{res} が、バックライト制御回路901に入力される。

【0029】次に、図10の本実施例におけるバックライト制御回路の回路構成例を用いて、バックライト制御

の動作を説明する。

【0030】ここで、1001は、タイムアウト信号 T_{out} がアクティブのときは端子Cと端子Aとを接続し、タイムアウト信号 T_{out} がノン・アクティブのときは端子Cと端子Bとを接続するよう構成されているタイムアウトセット回路である。又、1002は、タイムアウトリセット信号 T_{res} によりタイムアウト信号 T_{out} をリセットするタイムアウトリセット回路である。

【0031】タイムアウト信号 T_{out} が、ノン・アクティブのとき、タイムアウトセット回路1001は、端子Cと端子Bを接続し、バックライト制御回路901は、前述第1、第2の実施例におけるバックライト制御回路206と同様の動作を行なう。

【0032】タイムアウト信号 T_{out} がアクティブになると、タイムアウトセット回路1001は、端子Cと端子Aとを接続することにより、バックライト輝度値 V_{out} をほぼ半減させる。

【0033】さらに、この状態において、タイムアウトリセット信号 T_{res} が入力されると、タイムアウトリセット回路1002により、タイムアウト信号 T_{out} がリセットされ、タイムアウトセット回路1001は端子Cと端子Bとを接続するとともに、アップ・ダウンカウンタ402はデフォルト値にセットされる。

【0034】

【発明の効果】以上、述べてきたように本発明によれば、従来は使用者が手動で操作する他はなかったコントラスト値及びバックライト輝度値の制御をVRAM内のデータを読み取り、データ判定回路を用いることにより、自動的に制御できるようになる。これにより、表示内容に応じたコントラスト値及びバックライト輝度値の制御を行なうことができ、階調の認識或は文字や画像の認識が容易な表示画面を常時得ることができる。

【0035】さらに、使用者は、コントラスト値或はバックライト輝度値を十分に高く設定しがちであることを考慮すると、本発明を用いることにより低消費電力化にも効果がある。

【0036】又、表示内容に変更があった後にコントラスト値或はバックライト輝度値の制御を行なうまでのタイマー時間を任意に設定できるので、表示内容の変更が頻繁に起こった場合の画面のちらつきを防止することも可能となる。

【0037】さらに、第2の実施例に係る発明によれば、上述した効果に加えて、予め設定された所定時間、無入力時間が続いた場合、バックライト輝度値をほぼ半減とすることができることから、従来は、全く見えなくなっていた表示内容を認識し得る程度に保つことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例のハード構成ブロック図。

【図2】第1図のデータ判定手段105のより詳細なブロック図。

【図3】VRAMライト検出からリード制御までのフローチャート。

【図4】コントラスト値制御回路の回路構成例の図。

【図5】第4図による動作を示したフローチャート。

【図6】本発明の第2の実施例のデータ判定回路のブロック図。

【図7】本発明の一実施例と他の実施例による読みこみデータの違いを示した図。

【図8】従来のLCDのハード構成ブロック図。

*【図9】本発明の第3の実施例におけるデータ判定105のより詳細なブロック図。

【図10】本発明の第3の実施例におけるバックライト制御回路の回路構成例の図。

【符号の説明】

101 CPU

102 LCDコントローラ

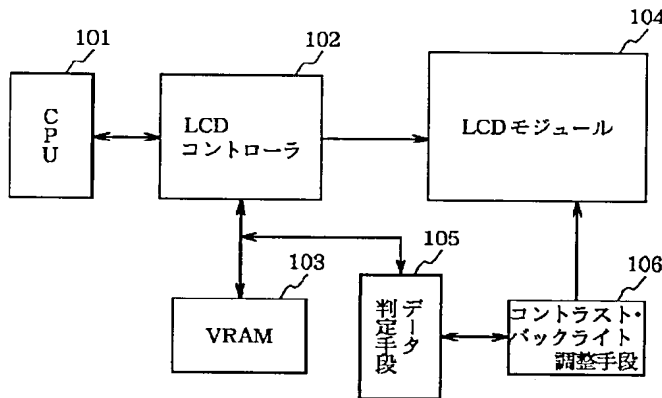
103 VRAM

104 LCDモジュール

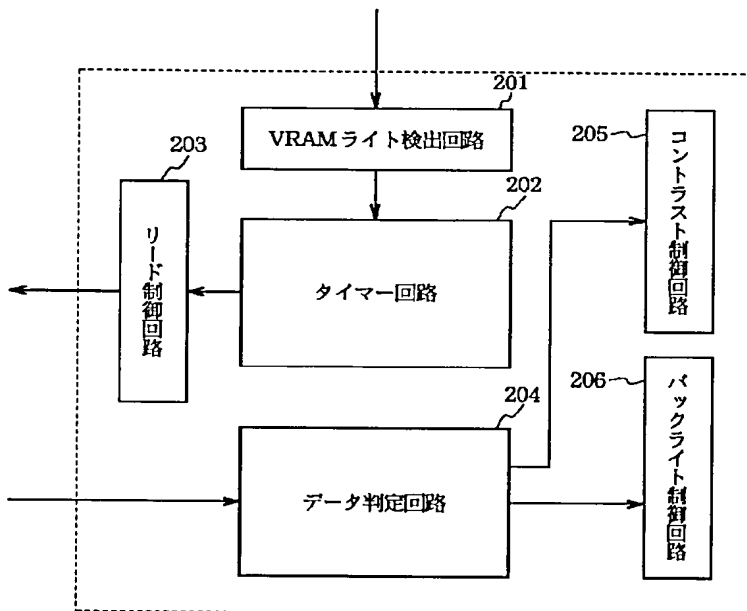
105 データ判定手段

* 106 コントラスト・バックライト調整手段

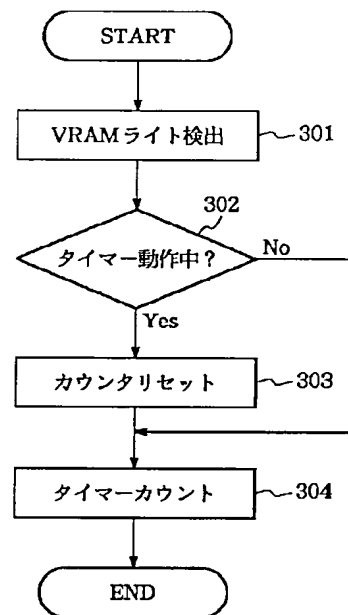
【図1】



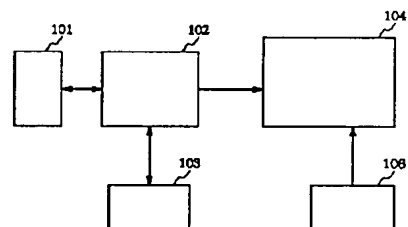
【図2】



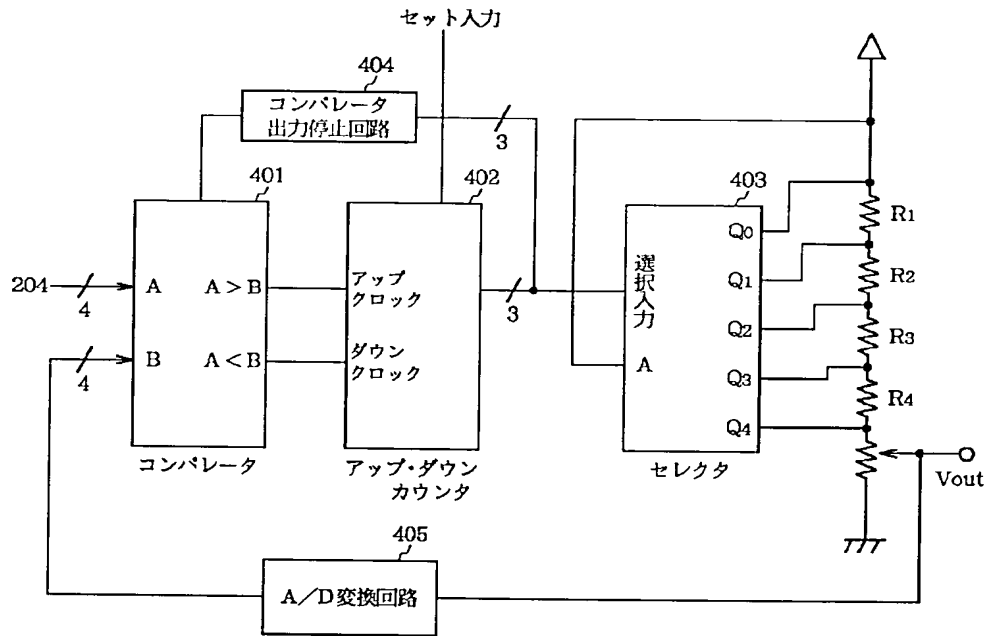
【図3】



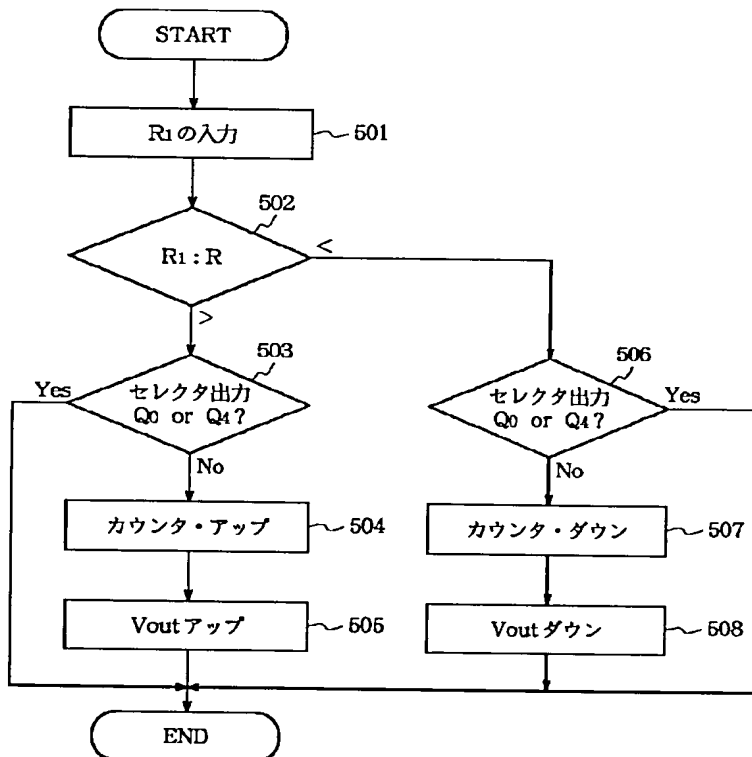
【図8】



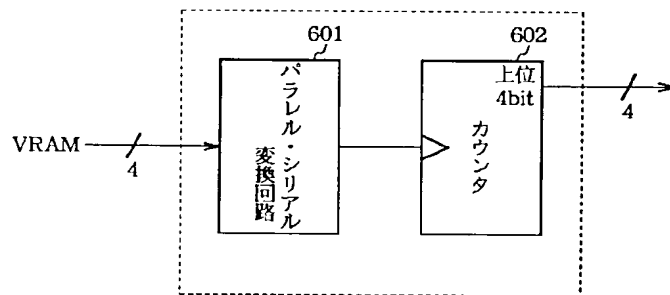
【図4】



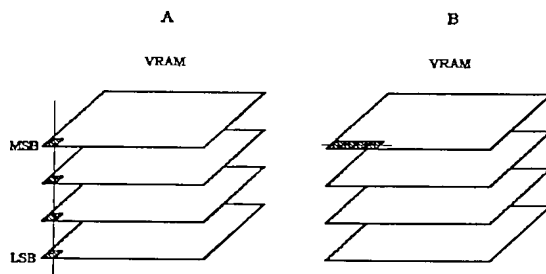
【図5】



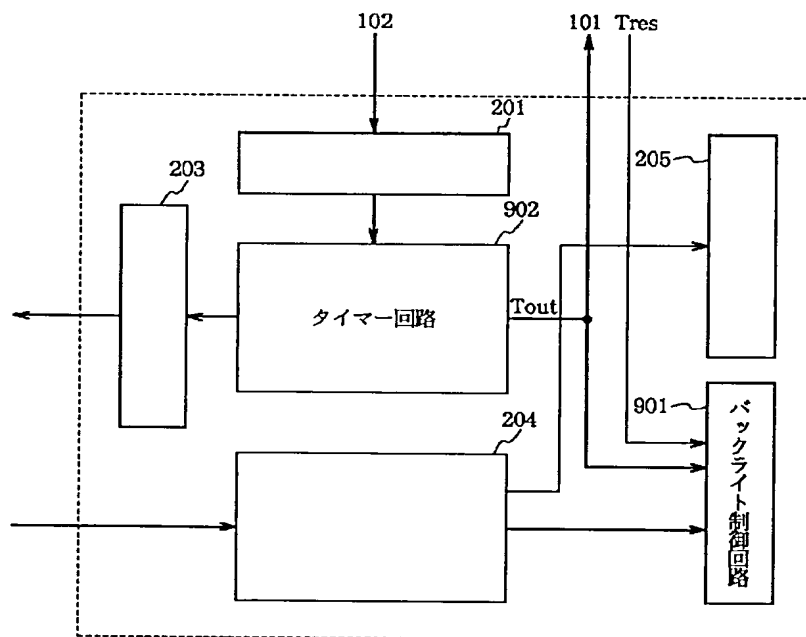
【図6】



【図7】



【図9】



【図10】

